

(2) Korean Patent Application Laid-Open No. 1998-0058455 "Manufacturing Method of Semiconductor Element"

The following is English translation of an extract from the above-identified document relevant to the present application.

The present invention provides a manufacturing method of a semiconductor element which is capable of preventing damage of impurity and degeneracy of a gate by forming a silicide film before forming a junction region. The present invention comprises the steps of: forming a gate insulating film and a gate on the semiconductor substrate of a first conductivity type; forming an insulating film spacer on the both sidewalls of the gate; forming a metal silicide film on the gate and on the substrate on the both sides of the gate; and forming a high-concentrated junction region of a second conductivity type in the gate and in the substrate on the both sides of the gate. After forming the gate, the present invention further comprises the step of forming a shallow, low-concentrated junction region of a second conductivity type on the gate and on the substrate on the both sides of the gate, and the high-concentrated junction region is formed so as to have a peak concentration at the portion where the high-concentrate junction region has contact with the metal silicide film.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶

(11) 공개번호 특 1998-058455

H01L 21 /28

(43) 공개일자 1998년 10월 07일

(21) 출원번호 특 1996-077779

(22) 출원일자 1996년 12월 30일

(71) 출원인 현대전자산업 주식회사 김영환

(72) 발명자 경기도 이천시 부발읍 아미리 산 136-1
백성학

(74) 대리인 경기도 이천시 부발읍 아미리 현대전자산업(주)
최홍순

(54) 반도체 소자의 제조방법

본 발명은 접합영역을 형성하기 전에 실리사이드막을 형성함으로써 불순물의 손실 및 게이트의 디제너러시 현상을 방지할 수 있는 반도체 소자의 제조방법을 제공하는 것으로, 제 1 전도형 반도체 기판 상에 게이트 절연막 및 게이트를 형성하는 단계; 게이트 양 측벽에 절연막 스페이서를 형성하는 단계; 게이트 및 게이트 양측의 기판 상에 금속 실리사이드막을 형성하는 단계; 및, 게이트 및 게이트 양 측의 기판 내에 제 2 전도형 고농도 접합영역을 형성하는 단계를 포함하고, 게이트를 형성하는 단계 이후 게이트 및 게이트 양 측의 기판에 제 2 전도형의 얇은 저농도 접합영역을 형성하는 단계를 포함하는 것을 특징으로 하고, 고농도 접합영역은 금속 실리사이드막과 접하는 부분에서 피크점 농도를 갖도록 형성하는 것을 특징으로 한다.

도 1A 내지 도 1C는 본 발명의 실시예에 따른 반도체 소자의 제조방법을 설명하기 위한 공정 단면도.

* 도면의 주요 부분에 대한 부호의 설명

1 : 반도체 기판, 2 : n웰, 3 : p웰, 4 : 필드 산화막, 5 : 게이트 산화막, 6a, 6b : 게이트, 7a, 7b : p/n 불순물 영역,

Group	Condition 1	Condition 2	Condition 3	Condition 4
Control	~95%	~90%	~95%	~100%
MCI	~75%	~65%	~70%	~80%
AD	~55%	~45%	~50%	~60%

한국의 전통문화와 현대기술의 융합

본 발명은 반도체 소자의 제조방법에 관한 것으로, 접합영역을 형성하기 전에 실리콘사이드막을 형성함으로써 불순물의 손실 및 게이트의 디제너러시 현상을 방지할 수 있는 반도체 소자의 제조방법에 관한 것이다.

대부분의 집적회로에서 낮은 비저항과 고온의 안정도를 가지는 금속 실리사이드가 접촉 재료로서 대두되었다. 이 실리사이드는 고유의 조성과 각기의 화학적 성질을 갖는 금속-실리콘 화합물로서, 실리콘과 결합하는 금속으로는 내화성 금속족인 몰리브덴, 탄탈륨, 티타늄, 텅스텐 또는 귀금속 원자인 코발트, 티켈, 백금 등과 반응한 화합물로 구성된다. 또한, 실리사이드는 낮은 비저항과 고온에서의 안정도 이외에도 양질의 실리사이드는 형성 및 에칭이 용이하고, 강력한 접착력이 있으며, 산화 공정시 산화막을 형성할 수 있는 장점이 있다. 이러한 실리사이드는 현재의 폴리실리콘 배선 또는 게이트 전극 위에 형성되어 전도성을 개선시키고, 소오스/드레인 접합 부분에 실리사이드를 부분적으로 형성시켜 접합 영역 사이에 발생하는 접촉 저항을 감소시킴으로써, RC 지연 시간을 낮추는 역할을 한다.

상기한 실리콘사이드막의 형성방법을 간략하게 살펴보면, 도시되지는 않았지만, 게이트 절연막 및 게이트와 소오스 및 드레인의 접합 영역이 형성되고 상기 게이트 양 측벽에 산화막 스페이서가 형성된 반도체 기판의 전면에 전이금속인 티타늄막을 증착한다. 그리고 나서, 급속 열처리 공정(RTP ; Rapid Thermal Processing)을 진행하여 자기 정렬된 티타늄 실리콘사이드막을 상기 게이트 및 접합영역 상에 형성한 다음, 반응되지 않은 티타늄막을 제거한다.

$$P_{11} = \frac{1}{2} \left(\frac{1}{2} \right) = \frac{1}{4}, \quad P_{12} = \frac{1}{2} \left(\frac{1}{2} \right) = \frac{1}{4}, \quad P_{21} = \frac{1}{2} \left(\frac{1}{2} \right) = \frac{1}{4}, \quad P_{22} = \frac{1}{2} \left(\frac{1}{2} \right) = \frac{1}{4}.$$

그러나, 상기한 종래의 실리콘사이드막 형성방법에 있어서는 티타늄과의 반응을 통한 실리콘사이드막의 형성 시 접합영역 및 게이트의 불순물이 손실되어 접합영역 상부의 티타늄 실리콘사이드막과 접합영역의 경계면의 저항이 증가하여 전류 구동력이 저하되는 문제가 있었다.

뿐만 아니라 듀얼(dual) 게이트 형성시 PMOS 경우 B의 침입도(penetration)를 고려하여 깊게 이온 주입 하지 않기 때문에, 상기 티타늄 실리사이드막의 형성시 B의 손실이 커짐에 따라, 게이트의 디제너러시(degeneracy) 문제를 더욱 심화시킨다.

이에, 본 발명은 상기한 문제점을 감안하여 창출된 것으로서, 접합영역을 형성하기 전에 실리콘사이드막을 형성함으로써 불순물의 순실 및 게이트의 디제너러시 현상을 방지할 수 있는 반도체 소자의 제조방법을 제공함에 그 목적이 있다.

1. *Chlorophyll a* and *Chlorophyll b* were determined by the method of Arar and Collins (1971).

상기 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 제조방법은 제 1 전도형 반도체 기판 상에 게이트 절연막 및 게이트를 형성하는 단계; 상기 게이트 양 측벽에 절연막 스페이서를 형성하는 단계; 상기 게이트 및 게이트 양 측의 기판 상에 금속 실리사이드막을 형성하는 단계; 및, 상기 게이트 및 게이트 양 측의 기판내에 제 2 전도형 고농도 정함영역을

형성하는 단계를 포함하는 것을 특징으로 한다.

또한, 상기 게이트를 형성하는 단계 이후 상기 게이트 및 게이트 양 측의 기판에 제 2 전도형의 얇은 저농도 접합영역을 형성하는 단계를 추가로 포함한다.

또한, 상기 금속 실리사이드막을 형성하는 단계는 상기 스페이서 형성 후의 기판 전면에 금속막을 증착하는 단계; 상기 금속과 상기 금속막 하부의 기판 및 게이트 물질이 반응시켜 금속 실리사이드막을 형성하는 단계; 및, 상기 반응되지 않은 금속막을 제거하는 단계를 포함하는 것을 특징으로 한다.

또한, 상기 고농도 접합영역은 상기 금속 실리사이드막과 접하는 부분에서 피크점 농도를 갖도록 형성하는 것을 특징으로 한다.

상기 구성으로 된 본 발명에 의하면, 금속 실리사이드막의 형성전에 소정의 얇은 저농도의 접합영역을 먼저 형성하고, 금속 실리사이드막을 형성한 다음 고농도의 접합 영역을 피크점 농도가 금속 실리사이드막과 접하는 부분에 분포하도록 형성함으로써 전류 구동력을 향상시킬 수 있을 뿐만 아니라, 게이트 디제너러시 현상을 방지할 수 있다.

[실시예]

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 설명한다.

도 1A 내지 도 1C는 본 발명의 실시예에 따른 반도체 소자의 제조방법을 설명하기 위한 순차적인 공정 단면도이다.

먼저, 도 1A에 도시된 바와 같이, 내부에 n웰(2) 및 p웰(3)이 형성되고 상부에 n웰(2) 및 p웰(3)을 분리함과 더불어 소자 간 분리를 위한 필드 산화막(4)이 형성된 반도체 기판(1) 상에 산화막 및 폴리실리콘막을 순차적으로 형성한다. 이때, 기판(1)은 실리콘 기판이다. 그 후, 상기 폴리실리콘막 및 산화막을 패터닝하여 n웰(2) 및 p웰(3) 상에 게이트 산화막(5) 및 게이트(6a, 6b)를 형성한다.

이어서, p웰(3)을 마스크하는 제 1 마스크 패턴(도시되지 않음)을 형성하고, 노출된 n웰(2) 및 게이트(6a) 내에 낮은 이온 주입 에너지로 p 불순물을 이온 주입하여 p 불순물 영역(7a)을 n웰(2) 및 게이트(6a) 표면에 얇게 형성한 다음, 상기 제 1 마스크 패턴을 공지된 방법으로 제거한다. 그리고 나서, n웰(2)을 마스크하는 제 2 마스크 패턴(도시되지 않음)을 형성하고, 노출된 p웰(3) 및 게이트(6b) 내에 낮은 이온 주입 에너지로 n 불순물을 이온 주입하여 n 불순물 영역(7b)을 p웰(2) 및 게이트(6b) 표면에 얇게 형성한 다음, 상기 제 2 마스크 패턴을 공지된 방법으로 제거한다.

그리고, 기판 전면에 산화막을 두껍게 증착하고 상기 산화막을 이방성 블랭킷 식각하여 게이트(6a, 6b) 양 측벽에 각각 산화막 스페이서(8)를 형성하고, 기판 전면에 티타늄막(9)을 증착한다.

도 1B에 도시된 바와 같이, 티타늄이 실리콘과 반응하도록 1차 금속 열처리 공정을 진행하여 게이트(6a, 6b) 및 n웰(2) 및 p웰(3)에 얇게 형성된 p 및 n 불순물 영역(7a, 7b)에 티타늄 실리사이드막(10)을 각각 형성하고, 반응되지 않은 티타늄막(9)을 제거한다.

도 1C에 도시된 바와 같이, p웰(3)을 마스크하는 제 3 마스크 패턴(도시되지 않음)을 형성하고, 이온 주입 공정으로 노출된 n웰(2) 및 게이트(6a) 내에 p 불순물을 주입하여 p 불순물 영역(11a)을 n웰(2) 및 게이트(6a) 표면에 형성한 다음, 상기 제 3 마스크 패턴을 공지된 방법으로 제거한다. 그리고 나서, n웰(2)을 마스크하는 제 4 마스크 패턴(도시되지 않음)을 형성하고, 이온 주입 공정으로 노출된 p웰(3) 및 게이트(6b) 내에 n 불순물을 주입하여 n 불순물 영역(11b)을 p웰(2) 및 게이트(6b) 표면에 형성한다. 그런 다음, 상기 제 4 마스크 패턴을 공지된 방법으로 제거하고, 2차 금속 열처리 공정을 진행하여, 접합영역의 불순물의 피크점 농도가 티타늄 실리사이드막(10)과 접하는 부분에 분포하는 불순물 프로파일을 형성한다.

상기 실시예에 의하면, 티타늄 실리사이드막의 형성전에 낮은 이온 주입 에너지로 소정의 얇은 저농도의 접합영역을 먼저 형성하고, 티타늄 실리사이드막을 형성한 다음, 고농도의 접합 영역을 피크점 농도가 티타늄 실리사이드막과 접하는 부분에 분포하도록 형성함으로써 전류 구동력을 향상시킬 수 있다. 또한, PMOS 에서의 실리사이드막의 형성시 발생하는 게이트 디제너러시 현상을 방지할 수 있으므로 소자의 특성 및 수율을 향상시킬 수 있다.

또한, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 요지를 벗어나지 않는 범위내에서 다양하게 변형시켜 실시할 수 있다.

청구항 1. 제 1 전도형 반도체 기판 상에 게이트 절연막 및 게이트를 형성하는 단계;

상기 게이트 양 측벽에 절연막 스페이서를 형성하는 단계;

상기 게이트 및 게이트 양측의 기판 상에 금속 실리사이드막을 형성하는 단계; 및,

상기 게이트 및 게이트 양 측의 기판 내에 제 2 전도형 고농도 접합영역을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 2. 제 1 항에 있어서, 상기 게이트를 형성하는 단계 이후 상기 게이트 및 게이트 양 측의 기판에 제 2 전도형의 얇은 저농도 접합영역을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 3. 제 2 항에 있어서, 상기 저농도 접합영역을 형성하는 단계는 낮은 이온 주입 에너지를 이용한 이온 주입 공정으로 진행하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 4. 제 1 항에 있어서, 상기 금속 실리사이드막을 형성하는 단계는

상기 스페이서 형성 후의 기판 전면에 금속막을 증착하는 단계;

상기 금속과 상기 금속막 하부의 기판 및 게이트 물질이 반응시켜 금속 실리사이드막을 형성하는 단계; 및,

상기 반응되지 않은 금속막을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 5. 제 4 항에 있어서, 상기 금속은 전이 금속의 그룹으로부터 선택된 금속인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 6. 제 5 항에 있어서, 상기 금속은 티타늄인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 7. 제 4 항에 있어서, 상기 반응은 어닐링 공정으로 진행하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 8. 제 7 항에 있어서, 상기 어닐링 공정은 금속 열처리 공정으로 진행하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 9. 제 1 항에 있어서, 상기 고농도 접합영역은 상기 금속 실리사이드막과 접하는 부분에서 피크점 농도를 갖

도록 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 10. 제 9 항에 있어서, 상기 고농도 접합영역을 형성하는 단계는 상기 게이트 및 게이트 양 측의 기판 내에 제 2 전도형 고농도 불순물을 이온 주입 한 후 어닐링을 진행하여 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 11. 제 10 항에 있어서, 상기 어닐링 공정은 급속 열처리 공정으로 진행하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 12. 제 1 항에 있어서, 상기 제 1 전도형은 n형이고, 상기 제 2 전도형은 p형인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 13. 제 1 항에 있어서, 상기 제 1 전도형은 p형이고, 상기 제 2 전도형은 n형인 것을 특징으로 하는 반도체 소자의 제조방법.



